



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08335936 A**(43) Date of publication of application: **17 . 12 . 96**

(51) Int. Cl. **H04L 7/08**
H04J 3/06

(21) Application number: **07143464**(71) Applicant: **FUJITSU GENERAL LTD**(22) Date of filing: **09 . 06 . 95**(72) Inventor: **SHINOZAKI GORO****(54) FRAME SYNCHRONIZATION DETECTION CIRCUIT**

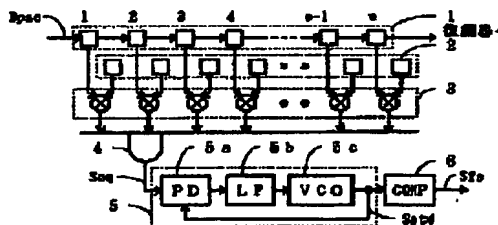
code are received, the synchronization is stable detected.

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To prevent the missing of a frame synchronization detection signal by an error in a frame synchronization code by comparing a phase of a coincidence signal from an n-input AND circuit with a phase of a reference signal so as to control an oscillated frequency of the reference signal based on a difference signal.

CONSTITUTION: An EX-OR circuit 3 compares the frame synchronizing signal of the data signal Dpac of a packet structure received by the n-stage of shift registers 1 with a frame synchronizing signal stored in advance in n-stages of 1-bit memories 2 one by one bit each. When all bits are coincident, the phase of the coincidence signal Seq outputted from an n-input AND circuit 4 is compared with the phase of the reference signal of a voltage controlled oscillator 5c by a PLL circuit 5, and a difference signal controls the oscillated frequency of the reference signal to generate a reference signal Ssta with a stable oscillating frequency. Then a waveform generating section 6 is used to shape the reference signal with a prescribed waveform and provides the output of a frame synchronization detection signal Sfs. Thus, even when error data of a frame synchronization



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-335936

(43) 公開日 平成8年(1996)12月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	7/08		H 0 4 L 7/08	A
H 0 4 J	3/06		H 0 4 J 3/06	A

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平7-143464

(22) 出願日 平成7年(1995)6月9日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 篠崎 吾朗

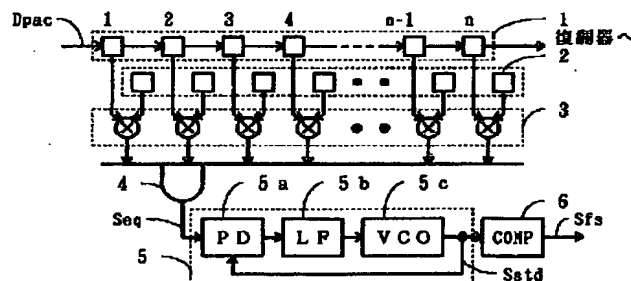
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 フレーム同期検出回路

(57) 【要約】

【目的】 入力するデータ信号のフレーム同期符号に1ビットから数ビットの誤りがあっても、フレーム同期検出信号が欠落することのないフレーム同期検出回路を提供することを目的としている。

【構成】 シリアル通信におけるパケット構造のデータ信号を入力するn段のシフトレジスタ1と、フレーム同期符号を有するn段の1ビットメモリ2と、前記n段のシフトレジスタとn段の1ビットメモリよりの信号の排他的論理和をとる、n個のEX-OR回路3と、該n個のEX-OR回路よりの信号を入力し、アンドゲートするn入力のAND回路4と、該AND回路よりの信号と基準信号との位相を比較してその位相差信号に対応して前記基準信号を周波数を可変して発生するPLL回路5とを設けた。



【特許請求の範囲】

【請求項 1】 シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号を入力し、アンドゲートする n 入力の AND 回路と、該 AND 回路よりの信号と基準信号との位相を比較してその位相差信号に対応して前記基準信号を周波数を可変して発生する PLL 回路とを設けてなることを特徴とするフレーム同期検出回路。

【請求項 2】 シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部とを設けてなることを特徴とするフレーム同期検出回路。

【請求項 3】 シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部と、該レベル判別信号の前縁をトリガー信号として一定時間所定レベルを保つ、再トリガー不能な第 1 の単安定マルチバイブレータと、該第 1 の単安定マルチバイブレータよりの信号の後縁をトリガー信号として一定時間所定レベルを保つ、再トリガー不能な第 2 の単安定マルチバイブレータとを設けてなることを特徴とするフレーム同期検出回路。

【請求項 4】 シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部と、該レベル判別信号と基準信号との位相を比較してその位相差信号に対応して前記基準信号を周波数を可変して発生する PLL 回路とを設けてなることを特徴とするフレーム同期検出回路。

【請求項 5】 前記第 1 の単安定マルチバイブレータは、前記所定レベルを保つ時間をフレームの周期より若干短くしてなることを特徴とする請求項 3 記載のフレイ

ム同期検出回路。

【請求項 6】 前記第 2 の単安定マルチバイブレータは、前記所定レベルを保つ時間をフレームの周期から前記第 1 の単安定マルチバイブレータの単安定時間を差し引いた時間としてなることを特徴とする請求項 1 記載のフレーム同期検出回路。

【請求項 7】 前記 PLL 回路の出力には、波形を所定の波形に成形する波形成形回路を設けてなることを特徴とする請求項 1 または請求項 4 記載のフレーム同期検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、フレーム同期検出回路に係わり、とくに、フレーム同期符号の誤りデータが受信されても安定に同期を検出するものに関する。

【0002】

【従来の技術】 従来、シリアル通信におけるパケット構造のデータ信号を入力し、フレーム同期信号を検出するフレーム同期検出回路は、図 7 に示すように、データ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号を入力し、アンドゲートする n 入力の AND 回路とで構成し、入力するパケット構造のデータ信号がフレーム同期符号を有する n 段の 1 ビットメモリよりの信号と一致するとフレーム同期検出信号を出力するようにしていた。しかし、この構成では、入力するデータ信号のフレーム同期符号に 1 ビットでも誤りがあると、図 4 の AND-OUT 信号の (A) 点に示すように、前記誤りのあるデータは検出できず、結果としてその誤りのデータ部分のフレーム同期検出信号が欠落してしまうという問題があった。

【0003】

【発明が解決しようとする課題】 本発明は以上述べた問題点を解決し、入力するデータ信号のフレーム同期符号に数ビットの誤りがあっても、フレーム同期検出信号が欠落することのないフレーム同期検出回路を提供することを目的としている。

【0004】

【課題を解決するための手段】 本発明は上述の課題を解決するため、シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の 1 ビットメモリと、前記 n 段のシフトレジスタと n 段の 1 ビットメモリよりの信号の排他的論理和をとる、 n 個の EX-OR 回路と、該 n 個の EX-OR 回路よりの信号を入力し、アンドゲートする n 入力の AND 回路と、該 AND 回路よりの信号と基準信号との位相を比較してその位相差信号に対応して前記基準信号を周波数を可変して発生する PLL 回路とを設け

た。また、シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の1ビットメモリと、前記 n 段のシフトレジスタと n 段の1ビットメモリよりの信号の排他的論理和をとる、 n 個のEX-OR回路と、該 n 個のEX-OR回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部とを設けた。また、シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の1ビットメモリと、前記 n 段のシフトレジスタと n 段の1ビットメモリよりの信号の排他的論理和をとる、 n 個のEX-OR回路と、該 n 個のEX-OR回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部と、該レベル判別信号の前縁をトリガー信号として一定時間所定レベルを保つ、再トリガー不能な第1の単安定マルチバイブレータと、該第1の単安定マルチバイブレータよりの信号の後縁をトリガー信号として一定時間所定レベルを保つ、再トリガー不能な第2の単安定マルチバイブレータとを設けた。また、シリアル通信におけるパケット構造のデータ信号を入力する n 段のシフトレジスタと、フレーム同期符号を有する n 段の1ビットメモリと、前記 n 段のシフトレジスタと n 段の1ビットメモリよりの信号の排他的論理和をとる、 n 個のEX-OR回路と、該 n 個のEX-OR回路よりの信号の総和を算出する加算器と、該加算器よりの信号のレベルを所定の基準レベルと比較してそのレベルを判別するレベル判別部と、該レベル判別信号と基準信号との位相を比較してその位相差信号に対応して前記基準信号を周波数を可変して発生するPLL回路とを設けた。

【0005】

【作用】以上のように構成したので、本発明の第1の発明によるフレーム同期検出回路によれば、入力するパケット構造のデータ信号のフレーム同期信号を、予め記憶するフレーム同期符号と1ビットずつ比較し、全てのビットが一致すると出力する一致信号を、基準信号と位相比較し、その差信号により基準信号の発振周波数を制御することにより安定した発振の基準信号を生成し、該発振信号を所定の波形に成形してフレーム同期検出信号として出力している。また、第2の発明によるフレーム同期検出回路によれば、入力するパケット構造のデータ信号のフレーム同期信号を、予め記憶するフレーム同期符号と1ビットずつ比較し、この比較結果を全て加算したレベルが所定レベル以上であれば、フレーム同期信号と見なして一致信号を出力するようにし、該一致信号を所定の波形に成形してフレーム同期検出信号として出力している。また、第3の発明によるフレーム同期検出回路によれば、前記第2の発明に加えて、前記一致信号の前

縁をトリガーとして再トリガ不能の第1の単安定マルチバイブレータを叩き、一定時間幅のパルスを生成し、該パルスの後縁をトリガーとして再トリガ不能の第2の単安定マルチバイブレータを叩いて一定時間幅のパルスを生成し、該パルスをフレーム同期検出信号として出力している。また、第4の発明によるフレーム同期検出回路によれば、前記第2の発明に加えて、前記一致信号を、基準信号と位相比較し、その差信号により基準信号の発振周波数を制御することにより安定した発振の基準信号を生成し、該発振信号を所定の波形に成形してフレーム同期検出信号として出力している。

【0006】

【実施例】以下、図面に基づいて本発明によるフレーム同期検出回路を詳細に説明する。図1は本発明によるフレーム同期検出回路の一実施例を示すブロック図である。図において、1は n 段のシフトレジスタで、シリアル通信におけるパケット構造のデータ信号を入力して順次シフトしながら記憶している。2は n 段の1ビットメモリで、前記データ信号のフレーム同期符号を記憶している。3は n 個のEX-OR回路で、前記 n 段のシフトレジスタ1よりの信号と n 段の1ビットメモリよりの信号をそれぞれ入力し、各段の排他的論理和をとっている。4は n 入力のAND回路で、前記EX-OR回路3よりの信号のアンドをとって一致信号を出力している。5はPLL回路で、前記AND回路4よりの一致信号と電圧制御発振器(VCO)5cよりの基準信号の位相を比較し、その位相差信号を出力する位相比較器5aと、前記位相差信号の帯域制限して出力するループフィルタ5bと、該ループフィルタ5bよりの信号により位相を制御した基準信号を発生する前記VCO5cとで構成している。6は波形成形器で、前記PLL回路5よりの信号を所定のパルス幅に成形している。

【0007】図2は、本発明によるフレーム同期検出回路の別の実施例を示すブロック図である。図において、図1と同一機能のものは同一記号としており、7は加算器で、前記EX-OR回路よりの信号を全て加算した総レベルを出力している。8はレベル判別部で、前記加算器7よりの総レベルを所定のレベルと比較し、所定レベル以上であれば一致信号を出力している。9は再トリガ不能な第1の単安定マルチバイブレータで、前記レベル判別部8よりの一致信号の前縁をトリガー信号として所定の時間幅のパルスを生成している。10は再トリガ不能な第2の単安定マルチバイブレータで、前記第1の単安定マルチバイブレータ9よりのパルスの後縁をトリガー信号として所定の時間幅のパルスを生成し、フレーム同期検出信号として出力している。

【0008】また、図3は本発明の第4の発明によるフレーム同期検出回路の別の実施例を示すブロック図である。図において、図1、図2と同一機能のものは同一記号としており、図3の場合、PLL回路5には前記レベ

ル判別部8より的一致信号を入力している。

【0009】以上の構成において、つぎにその動作を説明する。図4は、図1の要部の信号波形を示す波形図であり、本図を参照して図1の実施例の動作を説明する。シリアル通信におけるパケット構造のデータ信号(Dp a c)はn段のシフトレジスタ1に入力し、順次シフトしながらnビット分記憶している。いま、このデータ信号(Dp a c)のnビットで構成するフレーム同期信号(S f)部分がn段のシフトレジスタ1に記憶されたとすると、フレーム同期符号を記憶するn段の1ビットメモリ10のデータと各段毎に一致するので、n個のEX-OR回路3では2つの入力するデータが全て一致するので全て(H)レベルを出力し、AND回路4からは一致信号(S e q)が出力される。このとき、データ信号(Dp a c)のフレーム同期信号(S f)の符号が、例えば、1ビットでも間違っていると、これに対応するEX-OR回路3の1個の出力は(L)レベルとなり、図4の(A)点に示すように、AND回路4からは一致信号(S e q)は出力されない。以上のようにしてAND回路4から出力される一部の一致信号(S e q)が欠落した信号は、PLL回路5に入力される。PLL回路5では、VCO5cで発生する基準信号(S s t)を一致信号(S e q)の位相と比較して、その位相差に相当する電圧でVCO5cの周波数を可変することにより、一致信号(S e q)の位相にVCO5cの位相を合わせて出力している。いま、上記、一部の一致信号(S e q)が欠落した信号が入力した場合は、その欠落部分の位相差に相当する電圧は発生しないが、1個前の一致信号(S e q)との位相差に相当する電圧が保持されているため、図4の(A)点のようにVCOはその保持された電圧により所定の周波数の基準信号(S s t d)を継続発生している。この基準信号(S s t d)は波形成形部6で所定の幅のパルス波形に成形してフレーム同期検出信号(S f s)として出力している。

【0010】図5は、図2の要部の信号波形を示す波形図であり、本図を参照して図2の実施例の動作を説明する。シリアル通信におけるパケット構造のデータ信号

(Dp a c)はn段のシフトレジスタ1に入力し、順次シフトしながら記憶している。いま、このデータ信号

(Dp a c)のフレーム同期信号(S f)部分がn段のシフトレジスタ1に記憶されたとすると、フレーム同期符号を記憶するn段の1ビットメモリ10のデータと各段毎に一致するので、n個のEX-OR回路3では2つの入力するデータが全て一致するので全て(H)レベルを出力し、加算器7からは総レベル(T n)信号が出力される。このとき、データ信号(Dp a c)のフレーム同期信号(S f)の符号が、例えば、xビット間違っていると、これに対応するEX-OR回路3のx個の出力は(L)レベルとなり、加算器7からは総レベル(T n - x)信号が出力される。

【0011】以上のようにして加算器7から出力される総レベル(T n - x)信号を、レベル判別部8に入力して、所定のレベル(T n - y)と比較し、所定のレベル(T n - y)より大きければ、一致したと見なし、一致信号(S e q)を出力して、再トリガー不能の第1の単安定マルチバイブレータ9に入力している。前記再トリガー不能の第1の単安定マルチバイブレータ9では、入力する前記一致信号(S e q)の前縁をトリガーとして所定の幅のパルス(P 1)を発生し、再トリガー不能の第2の単安定マルチバイブレータ10に入力している。前記再トリガー不能の第2の単安定マルチバイブレータ10では前記パルス(P 1)の後縁をトリガーとして所定の幅のパルス(P 2)を発生し、フレーム同期検出信号(S f s)として出力している。

【0012】例えば、データ信号(Dp a c)のデータ信号(S d)部分がフレーム同期信号(S f)の符号と(y - 1)ビット異なる信号だったと仮定すると、加算器7からは総レベル(T n - (y - 1))信号が出力され、このレベルはレベル判別部8にて比較される所定のレベル(T n - y)より大きいので、図5の(B)点に示すように、一致信号(S e q)としてデータのタイミングに出力されるが、このタイミングは前記再トリガー不能の第1の単安定マルチバイブレータ9の動作期間であるため、トリガーされず、前記再トリガー不能の第2の単安定マルチバイブレータ10からは正常なフレーム同期検出信号(S f s)が出力される。

【0013】図6は、図3の要部の信号波形を示す波形図であり、本図を参照して図3の実施例の動作を説明する。シリアル通信におけるパケット構造のデータ信号

(Dp a c)はn段のシフトレジスタ1に入力し、順次シフトしながら記憶している。いま、このデータ信号

(Dp a c)のフレーム同期信号(S f)部分がn段のシフトレジスタ1に記憶されたとすると、フレーム同期符号を記憶するn段の1ビットメモリ10のデータと各段毎に一致するので、n個のEX-OR回路3では2つの入力するデータが全て一致するので全て(H)レベルを出力し、加算器7からは総レベル(T n)信号が出力される。このとき、データ信号(Dp a c)のフレーム同期信号(S f)の符号が、例えば、xビット間違っていると、これに対応するEX-OR回路3のx個の出力は(L)レベルとなり、加算器7からは総レベル(T n - x)信号が出力される。

【0014】以上のようにして加算器7から出力される総レベル(T n - x)信号を、レベル判別部8に入力して、所定のレベル(T n - y)と比較し、所定のレベル(T n - y)より大きければ、一致したと見なし、一致信号(S e q)を出力して、PLL回路5に入力している。例えば、データ信号(Dp a c)のデータ信号(S d)部分がフレーム同期信号(S f)の符号と(y - 1)ビット異なる信号だったと仮定すると、加算器7か

らは総レベル ($T_n - (y - 1)$) 信号が出力され、このレベルはレベル判別部8にて比較される所定のレベル ($T_n - y$) より大きいので、図6の(B)点に示すように、疑似一致信号 (Seq') としてデータのタイミングに出力される。

【0015】 以上のようにしてレベル判別部8から出力される疑似一致信号 (Seq') を含む信号は、PLL回路5に入力される。PLL回路5では、VCO5cで発生する基準信号 ($Sstd$) をレベル判別部8からの一致信号 (Seq) の位相と比較し、その位相差信号がループフィルタにて帯域制限され、位相差に相当する電圧でVCO5cを制御することにより、VCO5cの周波数を可変して前記一致信号 (Seq) と位相が合うようにしている。いま、上記のように、VCO5cで安定に基準信号 (Sst) が発生しているときに、レベル判別部8から疑似一致信号 (Seq') が入力されたとすると、基準信号 ($Sstd$) との位相差信号がループフィルタ5bにて帯域制限され、位相差に相当する電圧だけVCO制御電圧を変化させてVCO5cに入力され、一時的に発振周波数を変えて基準信号 ($Sstd$) の位相が疑似一致信号 (Seq') と合うように制御されるが、ループフィルタ5bの時定数を大きく設定しておく、フライホイール効果によりそれほど周波数は変化せず、つぎの正常な一致信号 (Seq) が入力されると、その一致信号 (Seq) に位相が合うように制御している。前記PLL回路5よりの基準信号 ($Sstd$) は、波形形成部6で所定の幅のパルス波形に成形してフレーム同期検出信号 (Sfs) として出力している。

【0016】

【発明の効果】 以上説明したように、本発明によるフレーム同期検出回路によれば、本発明によるフレーム同期検出回路によれば、例えば、入力するデータ信号のフレーム同期信号を、予め記憶するフレーム同期符号と1ビットずつ比較し、全てのビットが一致すると出力する一致信号を、基準信号と位相比較し、その差信号により基準信号の発振周波数を制御することによ*

*り安定した発振の基準信号を生成し、該発振信号を所定の波形に成形してフレーム同期検出信号として出力しているもので、入力するデータ信号のフレーム同期符号に1ビットから数ビットの誤りがあっても、フレーム同期検出信号が欠落することのないフレーム同期検出回路を提供することができる。

【図面の簡単な説明】

【図1】 本発明によるフレーム同期検出回路の一実施例を示すブロック図である。

【図2】 本発明によるフレーム同期検出回路の別の実施例を示すブロック図である。

【図3】 本発明によるフレーム同期検出回路の別の実施例を示すブロック図である。

【図4】 本発明によるフレーム同期検出回路の要部の波形を示す波形図である。

【図5】 本発明によるフレーム同期検出回路の要部の波形を示す波形図である。

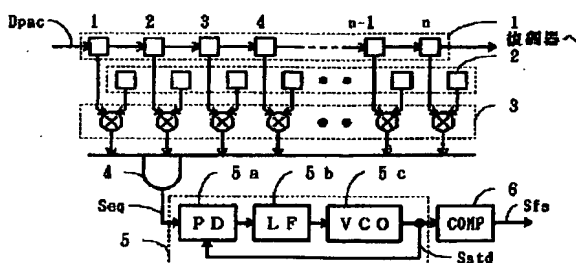
【図6】 本発明によるフレーム同期検出回路の要部の波形を示す波形図である。

【図7】 従来のフレーム同期検出回路を示すブロック図である。

【符号の説明】

- 1 n段のシフトレジスタ
- 2 n段の1ビットメモリ
- 3 n個のEX-OR回路
- 4 n入力AND回路
- 5 PLL回路
- 5a 位相比較器
- 5b ループフィルタ
- 5c VCO
- 6 波形形成部
- 7 加算器
- 8 レベル判別部
- 9 第1の単安定マルチバイブレータ
- 10 第2の単安定マルチバイブレータ

【図1】



【図2】

